

DOCKET NO.: 270313US6PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsujiro KONDO, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/13204

INTERNATIONAL FILING DATE: October 15, 2003

FOR: MEMORY DEVICE AND DEVICE AND METHOD FOR DETECTING MOTION VECTOR

**REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION**Commissioner for Patents
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-300902	15 October 2002
Japan	2002-300903	15 October 2002

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/13204. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Gregory J. Maier
Attorney of Record
Registration No. 25,599
Surinder Sachar
Registration No. 34,423

Customer Number

22850

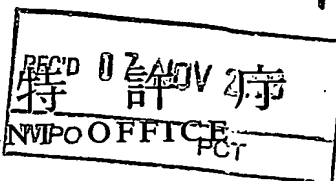
(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

803P/210W000

PCT/JP03/13204

日 本 国

JAPAN PATENT OFFICE



15.10.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 0 0 9 0 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 0 0 9 0 2]

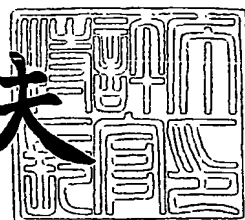
出 願 人 ソニー株式会社
Applicant(s):

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0100572801

【提出日】 平成14年10月15日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/41

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 近藤 哲二郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 新妻 渉

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 小林 直樹

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 榮二

【電話番号】 03-3291-6251

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るメモリ装置であって、

複数のワード線を同時に活性化する活性化手段と、

上記活性化手段で活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合されて上記1つのビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段と

を備えることを特徴とするメモリ装置。

【請求項 2】 上記信号出力手段は、

上記電荷総量を、該電荷総量に対応した値の電圧信号に変換する電圧変換手段と、

上記電圧変換手段で変換された電圧信号をアナログ信号からデジタル信号に変換するアナログ-デジタル変換手段とを有してなる

ことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 3】 上記1つのビット線に接続される複数のメモリセルは、キャパシタの容量が異なるものを含む

ことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 4】 上記活性化手段は、

2つ以上のデータに係る複数のワード線を同時に活性化する

ことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 5】 1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、

上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持つ

ことを特徴とする請求項 4 に記載のメモリ装置。

【請求項 6】 各データに係る複数のワード線に接続される複数のメモリセ

ルからなるユニットには、それぞれ加算すべきデータが記憶されることを特徴とする請求項4に記載のメモリ装置。

【請求項7】 各データに係る複数のワード線に接続される複数のメモリセルからなるユニットには、それぞれ被減数データまたは減数データが記憶されることを特徴とする請求項4に記載のメモリ装置。

【請求項8】 上記被減数データはストレートバイナリ形式のデータであり、上記減数データは2の補数形式のデータであることを特徴とする請求項7に記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、メモリ装置に関する。詳しくは、この発明は、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図るようにしたメモリ装置に係るものである。

【0002】

【従来の技術】

図8は、従来のメモリブロック200の構成例を示している。このメモリブロック200は、メモリセルアレイ210と、記憶データ入出力用ポート220と、ロウアドレスデコーダ230と、制御回路240とを有している。

【0003】

メモリセルアレイ210は、図9に示すように、ロウ方向（行方向）に延びるデータを転送するための複数のビット線BLと、カラム方向（列方向）に延びる、複数のビット線BLに直交するワード線WLと、これらビット線BLおよびワード線WLに接続され、マトリックス状に配されたメモリセルMLとからなっている。

【0004】

メモリセルMLは、DRAM構造のものであって、アクセストランジスタTとキャパシタCとで構成されている。キャパシタCの一端は接地され、その他端はアクセストランジスタTを介してビット線BLに接続されている。また、アクセストランジスタTのゲートはワード線WLに接続されている。このメモリセルMLに対する読み出しおよび書き込みは、従来周知のように、ワード線WLを活性化してアクセストランジスタTをオン状態とすることで行われる。

【0005】

記憶データ入出力用ポート220は、カラムアドレスデコーダ221、アドレスバッファ222およびI/Oバッファ223で構成されている。カラムアドレスデコーダ221には、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラムアドレスデコーダ221には、アドレスバッファ222を介してカラムアドレスが入力される。

【0006】

カラムアドレスデコーダ221は、アドレスバッファ222を介して供給されるカラムアドレスに対応して、メモリセルアレイ210のカラム方向の所定の複数のメモリセルMLに接続される複数のビット線BLとの接続を確保し、I/Oバッファ223およびカラムアドレスデコーダ221を通じて、当該カラム方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0007】

また、ロウアドレスデコーダ230には、アドレスバッファ231を介してロウアドレスが入力される。ロウアドレスデコーダ230は、アドレスバッファ231を介して供給されるロウアドレスに対応して、メモリセルアレイ210のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化し、I/Oバッファ223およびカラムアドレスデコーダ221を通じて、当該ロウ方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0008】

また、制御回路240は、メモリブロック200の上述した各回路の動作を、

制御入力に基づいて制御する。

【0009】

【発明が解決しようとする課題】

上記したメモリブロック200に記憶されたデータを用いた演算、例えば加算を行う場合には、メモリブロック200から被加算データおよび加算データを順に読み出し、このメモリブロック200とは別個に設けられた加算器でそれらを加算する。したがって、データの読み出しと演算とを順次に行うものであることから、演算速度を上げることができないという不都合があった。また、メモリブロック200とは別個の演算器が必要であることから、その分高価になるという不都合があった。また、減算などのその他の演算を行う場合も同様である。

【0010】

そこで、この発明は、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図るようにしたメモリ装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

この発明に係るメモリ装置は、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るメモリ装置であって、複数のワード線を同時に活性化する活性化手段と、この活性化手段で活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合されて1つのビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とを備えるものである。

【0012】

この発明においては、複数のワード線が同時に活性化される。これにより、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、その電荷総量に対応した値のデジタル信号が出力される。

【0013】

例えば、電荷総量に対応した値のデジタル信号は、電荷総量を、この電荷総量

に対応した値の電圧信号に変換し、その後その電圧信号をアナログ信号からデジタル信号に変換することで得られる。この場合、電圧信号をデジタル信号に変換する際に、A/Dコンバータの機能によっては、任意の階調のデジタル信号を得ることが可能となる。

【0014】

ここで、2つ以上のデータに係る複数のワード線が同時に活性化されることで、デジタル信号として当該2つ以上のデータの演算結果が得られる。例えば、各データに係る複数のワード線に接続される複数のメモリセルからなるユニットにそれぞれ加算すべきデータが記憶されることで、デジタル信号としてそれらのデータの加算結果が得られる。また例えば、各データに係る複数のワード線に接続される複数のメモリセルからなるユニットには、それぞれ被減数データまたは減数データが記憶されることで、デジタル信号としてそれらのデータの減算結果が得られる。この場合、例えば被減数データはストレートバイナリ形式のデータとされ、減数データは2の補数形式のデータとされる。

【0015】

このように、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とするものであり、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図ることができる。

【0016】

なお、1つのビット線に接続される複数のメモリセルとしてキャパシタの容量が異なるものを含む構成とすることで、1つのデータを記憶するためのメモリセルの個数を減少できる。例えば、1つのデータがNビット（Nは制御の整数）のデータであるとき、この1つのデータに係るワード線はN本とされ、このN本のワード線に接続されたN個のメモリセルのキャパシタは、Nビットのデータの各ビットの重みに対応した容量を持つようにされる。これにより、Nビットのデータを記憶するためのメモリセルの個数はN個で済む。これに対して、各メモリセルのキャパシタの容量が同じものとする、Nビットのデータを記憶するための

メモリセルは $2^N - 1$ 個必要となる。

【0017】

【発明の実施の形態】

以下、図面を参照しながら、この発明の実施の形態について説明する。

図1は、実施の形態としてのメモリブロック100の構成を示している。このメモリブロック100は、メモリセルアレイ110と、記憶データ入出力用ポート120と、ロウアドレスデコーダ130と、演算データ出力用ポート140と、制御回路150とを有している。

【0018】

メモリセルアレイ110は、図2に示すように、ロウ方向（行方向）に延びるデータを転送するための複数のビット線BLと、カラム方向（列方向）に延びる、複数のビット線BLに直交するワード線WLと、これらビット線BLおよびワード線WLに接続され、マトリックス状に配されたメモリセルMLとからなっている。

【0019】

メモリセルMLは、DRAM構造のものであって、アクセストランジスタTとキャパシタCとで構成されている。キャパシタCの一端は接地され、その他端はアクセストランジスタTを介してビット線BLに接続されている。また、アクセストランジスタTのゲートはワード線WLに接続されている。このメモリセルMLに対する読み出しおよび書き込みは、従来周知のように、ワード線WLを活性化してアクセストランジスタTをオン状態とすることで行われる。

【0020】

ここで、それぞれのビット線に接続される複数のメモリセルMLは、8本のワード線WLに接続される8個のメモリセルML毎のユニットUNに分割され、この分割された各ユニットUNにそれぞれ1個の8ビットデータの各ビットを記憶可能とされている。

【0021】

この場合、8本のワード線に接続された8個のメモリセルMLのキャパシタCは、上述の8ビットのデータの各ビットの重みに対応した容量を持つようにされ

ている。図2においては、上側がLSB(least significant bit)側であり、下側がMSB(most significant bit)側である。各ユニットUNを構成する8個のメモリセルMLのキャパシタCの容量は、LSB側からMSB側に向かって順次倍にされている。つまり、各ユニットUNを構成する8個のメモリセルMLのキャパシタCの容量は、LSBのキャパシタCの容量を p とすると、LSB側から、それぞれ p , $2p$, $4p$, $8p$, $16p$, $32p$, $64p$, $128p$ とされる。

【0022】

記憶データ入出力用ポート120は、記憶データ用カラムアドレスデコーダ121、アドレスバッファ122およびI/Oバッファ123で構成されている。カラムアドレスデコーダ121には、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラムアドレスデコーダ121には、アドレスバッファ122を介してカラムアドレスが入力される。

【0023】

カラムアドレスデコーダ121は、アドレスバッファ122を介して供給されるカラムアドレスに対応して、メモリセルアレイ110のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保し、I/Oバッファ123およびカラムアドレスデコーダ121を通じて、当該カラム方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0024】

また、ロウアドレスデコーダ130には、アドレスバッファ131を介してロウアドレスが入力される。ロウアドレスデコーダ130は、アドレスバッファ131を介して供給されるロウアドレスに対応して、メモリセルアレイ110のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化し、I/Oバッファ123およびカラムアドレスデコーダ121を通じて、当該ロウ方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0025】

また、演算データ出力用ポート140は、演算データ出力用カラムアドレスデコーダ141、アドレスバッファ142およびA/Dコンバータ143で構成されている。カラムアドレスデコーダ141には、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラムアドレスデコーダ141には、アドレスバッファ142を介してカラムアドレスが入力される。

【0026】

カラムアドレスデコーダ141は、アドレスバッファ142を介して供給されるカラムアドレスに対応して、メモリセルアレイ110のカラム方向の所定のメモリセルMLに接続される1つのビット線BLとの接続を確保し、その1つのビット線BL上に得られた電荷総量に対応した値の電圧信号を出力する。A/Dコンバータ143は、カラムアドレスデコーダ141から出力される電圧信号（アナログ信号）を所定ビット、例えば8ビットのデジタル信号に変換して演算データとして出力する。

【0027】

また、制御回路150は、メモリブロック100の上述した各回路の動作を、制御入力に基づいて制御する。

【0028】

次に、図1に示すメモリブロック100の動作を説明する。

このメモリブロック100は、演算データ出力用ポート140を除く部分のみで、図8に示す従来のメモリブロック200と同様の動作によって、メモリセルアレイ110の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能である。

【0029】

すなわち、カラムアドレスデコーダ121には、アドレスバッファ122を介してカラムアドレスが入力される。カラムアドレスデコーダ121は、このカラムアドレスに対応して、メモリセルアレイ110のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保する。また、ロウアドレスデコーダ130には、アドレスバッファ131を介してロウアドレスが入力される。ロウアドレスデコーダ130は、このロウアドレスに対応して、メモリセルアレ

イ110のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化
する。これにより、I/Oバッファ123およびカラムアドレスデコーダ121
を通じて、カラム方向およびロウ方向の所定のメモリセルMLに対する、記憶デ
ータの書き込み、読み出しが行われる。

【0030】

演算データ出力用ポート140を使用した、演算データの出力動作について説
明する。メモリセルアレイ110の各ユニットUNの8個のメモリセルMLには
、予め、それぞれ8ビットのデータの各ビットが記憶されている。

【0031】

ロウアドレスデコーダ130には、アドレスバッファ131を介してロウアド
レスが入力される。ロウアドレスデコーダ130は、このロウアドレスに対応し
て、メモリセルアレイ110のロウ方向の2以上のユニットUN、つまり2つ以
上のデータに係る複数のワード線WLを同時に活性化する。これにより、各ビッ
ト線BL上で、それぞれ、活性化された2つ以上のデータに係る複数のワード線
WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷が結合される
。

【0032】

ここで、複数のメモリセルMLのキャパシタCの総容量を C_m とし、そこに蓄
積されている電荷総量を Q_c とし、さらにビット線BLの容量を C_b とすると、ビ
ット線電荷総量 Q_b は、次式のようにになる。つまり、ビット線電荷総量 Q_b は、複
数のメモリセルMLのキャパシタCに蓄積されている電荷総量 Q_c に比例したも
のとなる。

$$Q_b = Q_c \times C_b / (C_m + C_b) \quad \dots (1)$$

【0033】

この状態で、カラムアドレスデコーダ141には、アドレスバッファ142を
介してカラムアドレスが入力される。カラムアドレスデコーダ141は、このカ
ラムアドレスに対応して、メモリセルアレイ110のカラム方向の所定のメモリ
セルMLに接続される1つのビット線BLとの接続を確保する。これにより、カ
ラムアドレスデコーダ141からは、接続が確保されたビット線BL上に得られ

た電荷総量に対応した値の電圧信号が出力される。

【0034】

そして、この電圧信号がA/Dコンバータ143で8ビットのデジタル信号に変換され、上述した2以上のユニットUNに記憶されていた2以上のデータの加算結果に対応した加算データが得られる。この場合、カラムアドレスデコーダ141で接続を確保する1つのビット線BLを順次変更することで、A/Dコンバータ143から、各ビット線BLの部分に対応した加算データが順次得られることとなる。

【0035】

ここで、図3を参照して、加算演算の具体例を説明する。この具体例は、2つの8ビットのデータを加算する例である。ユニットUN1の部分には被加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。一方、ユニットUN2の部分には加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「10000101」であって、10進数表現では「133」である。

【0036】

このようにUN1, UN2のそれぞれに被加数、加数のデータが記憶されることで、これらユニットUN1, UN2のメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニットUN1の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷を q とすると、 $20q$ となる。同様に、ユニットUN2の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、 $133q$ となる。

【0037】

このような状態で、2つのユニットUN1, UN2に係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットUN1, UN2における蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進

数で「153」に相当するものとなる。つまり、上述の(1)式から、ビット線電荷総量 Q_b は、 $Q_b = 1.53 q \times C_b / (C_m + C_b)$ となる。

【0038】

したがって、カラムアドレスデコーダ141からはこの電荷総量「153」に対応した値の電圧信号が出力される。A/Dコンバータ143からは、2つのユニットUN1, UN2に記憶されていたデータの加算結果に対応した加算データが得られる。

【0039】

ここで、「加算結果に対応した加算データ」という表現をとっているのは、以下の理由からである。つまり、8ビットのデータと8ビットのデータとを加算した場合、加算結果を表すには9ビットが必要となる。ところが、本実施の形態においては、A/Dコンバータ143により8ビットのデジタル信号を得るようにしており、このA/Dコンバータ143で階調変換が行われている。そのため、A/Dコンバータ143で得られる加算データは、加算結果そのものではないが、加算結果に対応したものとなっている。

【0040】

図4は、ビット線電荷総量とA/Dコンバータ143の出力値(加算データ)との関係例を示している。このような変換特性によって、512階調から256階調への階調変換が行われている。図4における横軸のビット線電荷総量は、 $q \times C_b / (C_m + C_b)$ が1となるように正規化したものである。後述する図6、図7における横軸のビット線電荷総量も同様である。

【0041】

このように本実施の形態においては、データの読み出しと加算演算との同時処理を行うことができ、演算速度の向上を図ることができる。また、本実施の形態においては、加算演算をするための演算器を設ける必要がなく、コスト低減を図ることができる。また、本実施の形態においては、A/Dコンバータ143で階調変換を行うことができるため、例えばA/Dコンバータ143がその出力デジタル信号のビット数を変更できるものであれば、専用の回路を設けることなく、階調操作を容易に行うことができる。

【0042】

なお、上述実施の形態においては、加算演算を行うものを示したが、減算演算を行う構成とすることもできる。

【0043】

その場合、例えば被減数データおよび減数データが8ビットのデータであるとき、被減数を記憶するユニットUNは8個のメモリセルMLで構成されるが、減数を記憶するユニットUNは9個のメモリセルMLで構成される。これは、被減数の8ビットのデータはストレートバイナリの形式でそのまま記憶するが、減数の8ビットのデータは2の補数の形式のデータ（9ビット）に変換して記憶するからである。

【0044】

ここで、2の補数の形式のデータを9ビットとするのは、減数が8ビットのデータで「00000000」であるとき、2の補数の形式のデータは「10000000」となり、これへの対応のためである。

【0045】

ここで、図5を参照して、減算演算の具体例を説明する。この具体例は、被減数データとしての8ビットのデータから減数データとしての8ビットのデータを減算する例である。ユニットUN1の部分には被減数データとしての8ビットのデータがそのままストレートバイナリの形式で記憶されている。この8ビットのデータは「10000101」であって、10進数表現では「133」である。一方、ユニットUN2の部分には減数データとしての8ビットのデータが、2の補数の形式のデータに変換され、9ビットのデータとして記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。また、2の補数の形式に変換した後の9ビットのデータは「011101100」である。

【0046】

このようにUN1、UN2のそれぞれに被減数、減数のデータが記憶されることで、これらユニットUN1、UN2のメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニ

ットUN1の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷を q とすると、 $133q$ となる。同様に、ユニットUN2の9個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、 $236q$ となる。

【0047】

このような状態で、2つのユニットUN1, UN2に係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットUN1, UN2における蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進数で「369」に相当するものとなる。

【0048】

したがって、カラムアドレスデコーダ141からはこの電荷総量「369」に対応した値の電圧信号が出力される。ここで、「369」は、2進数表現では「101110001」である。このときのMSBは符号ビットであり、「1」の場合は正を、「0」の場合は負を表すものとなる。そのため、A/Dコンバータ143では、加算の場合と異なり、この符号ビットを考慮したA/D変換が行われ、2つのユニットUN1, UN2に記憶されていたデータの減算結果としてのデータが得られる。

【0049】

図6、図7は、それぞれビット線電荷総量とA/Dコンバータ143の出力値（減算データ）との関係例を示している。ここで、図6は、絶対値変換を行わない場合の例であり、図7は絶対値変換も行う場合の例である。図6の例の場合、ビット線電荷総量「1」～「511」に対応して「-255」～「255」のデジタル信号を出力する。一方、図7の例の場合、ビット線電荷総量「1」～「255」に対応して「255」～「1」、「256」～「511」に対応して「0」～「255」のデジタル信号を出力する。

【0050】

なお、被減数データが8ビットのデータの場合には10進数で「0」～「255」の範囲の値を取り得るが、減数データも8ビットのデータの場合には10進

数で「0」～「255」の範囲の値を取り得る。この場合に、被減数、減数のデータが2つのユニットUN1, UN2に正しく記憶され、これら2つのユニットUN1, UN2に係る複数のワード線WLが同時に活性化された場合には、ビット線電荷総量は10進数で「1」～「511」となり、「0」となることはあり得ない。そのため、図6、図7においては、ビット線電荷総量が「0」の場合に関しても変換を行っているが、その変換後のデジタル値自体には特に意味はない。

【0051】

また、A/Dコンバータ143から出力される減算データは、例えば、図6の場合にはMSBが符号ビットとなる9ビットのデータとされ、図7の場合には8ビットのデータとされる。しかし、上述した加算の場合と同様に、このA/Dコンバータ143で階調変換を行うこともできる。

【0052】

なお、上述実施の形態においては、8個または9個のメモリセルMLで1つのデータを記憶するユニットUNが構成されるものを示したが、ユニットUNを構成するメモリセルMLの個数はこれに限定されるものではない。

【0053】

上述実施の形態では、各ビットのデータを記憶するメモリセルMLのキャパシタCの容量を、そのビットの重みに対応した大きさにすることで、8ビットのデータを記憶するユニットUNを8個のメモリセルMLのみで構成可能としている。しかし、メモリセルMLのキャパシタCの容量が全て同じであるとした場合、256階調の電荷量の蓄積を可能とする必要があることから、 $2^8 - 1$ 個のメモリセルMLでユニットUNを構成できる。

【0054】

また、例えば8ビットのデータを記憶するユニットUNは、8個のメモリセルMLではなく、これより少ないメモリセルMLで構成することもできる。例えばユニットUNを4個のメモリセルMLで構成することもできる。その場合、各メモリセルMLのキャパシタCには、それぞれ2ビット分の電荷が蓄積される。

【0055】

例えば、8ビットのデータが「10000101」である場合、LSB側から、1番目のメモリセルMLには「01」、つまり10進数で「1」に相当する電荷量の電荷を蓄積し、2番目のメモリセルMLには「0100」、つまり10進数で「4」に相当する電荷量の電荷を蓄積し、3番目のメモリセルMLには「000000」、つまり10進数で「0」に相当する電荷量の電荷を蓄積し、4番目のメモリセルMLには「10000000」、つまり10進数で「128」に相当する電荷量の電荷を蓄積すればよい。この場合、4個のメモリセルMLのキャパシタCの容量は、1番目のメモリセルMLのキャパシタCの容量をpとした場合、2番目は4p、3番目は16p、4番目は32pとすればよい。

【0056】

また、上述実施の形態においては、各ユニットUNに2進データを記憶するものを示したが、各ユニットUNのメモリセルMLにn進の各桁のデータを記憶すれば、n進の演算を行うこともできる。この場合、各ユニットUNのメモリセルMLのキャパシタCに、該当する桁の値に応じた電荷量を蓄積することでデータの記憶が可能となる。

【0057】

例えば、10進数で「235」のデータを記憶する場合、1の桁を記憶するメモリセルMLのキャパシタCには、「5」に相当する電荷量の電荷を蓄積し、10の桁を記憶するメモリセルMLのキャパシタCには、「 3×10 」に相当する電荷量の電荷を蓄積し、100の桁を記憶するメモリセルMLのキャパシタCには、「 2×100 」に相当する電荷量の電荷を蓄積すればよい。勿論、各桁に対応したメモリセルMLのキャパシタCは、それぞれの桁の最大蓄積電荷量を蓄積できるだけの容量を持つことが必要となる。

【0058】

また、上述実施の形態においては、演算の例として加算および減算を示したが、各ユニットに入力するデータの形式、配置等を工夫することで、乗算や除算なども行うことができる。例えば、 $M \times N$ の乗算は、MをN個のユニットUNにコピーしておき、その後はこのN個のユニットUNについて上述した加算演算を行えばよい。

【0059】

また、上述実施の形態においては、メモリセルアレイ110のメモリセルMLがDRAM構造のものを示したが、これに限定されるものではない。要は、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るものであればよい。

【0060】**【発明の効果】**

この発明によれば、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とするものであり、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図ることができる。

【図面の簡単な説明】**【図1】**

実施の形態としてのメモリブロックの構成を示すブロック図である。

【図2】

メモリセルアレイの一部を示す図である。

【図3】

加算演算の具体例を説明するための図である。

【図4】

ビット線電荷総量と出力値との関係（加算の場合）を示す図である。

【図5】

減算演算の具体例を説明するための図である。

【図6】

ビット線電荷総量と出力値との関係（減算の場合、絶対値変換なし）を示す図である。

【図7】

ビット線電荷総量と出力値との関係（減算の場合、絶対値変換あり）を示す図である。

【図 8】

従来のメモリブロックの構成例を示すブロック図である。

【図 9】

メモリセルアレイの一部を示す図である。

【符号の説明】

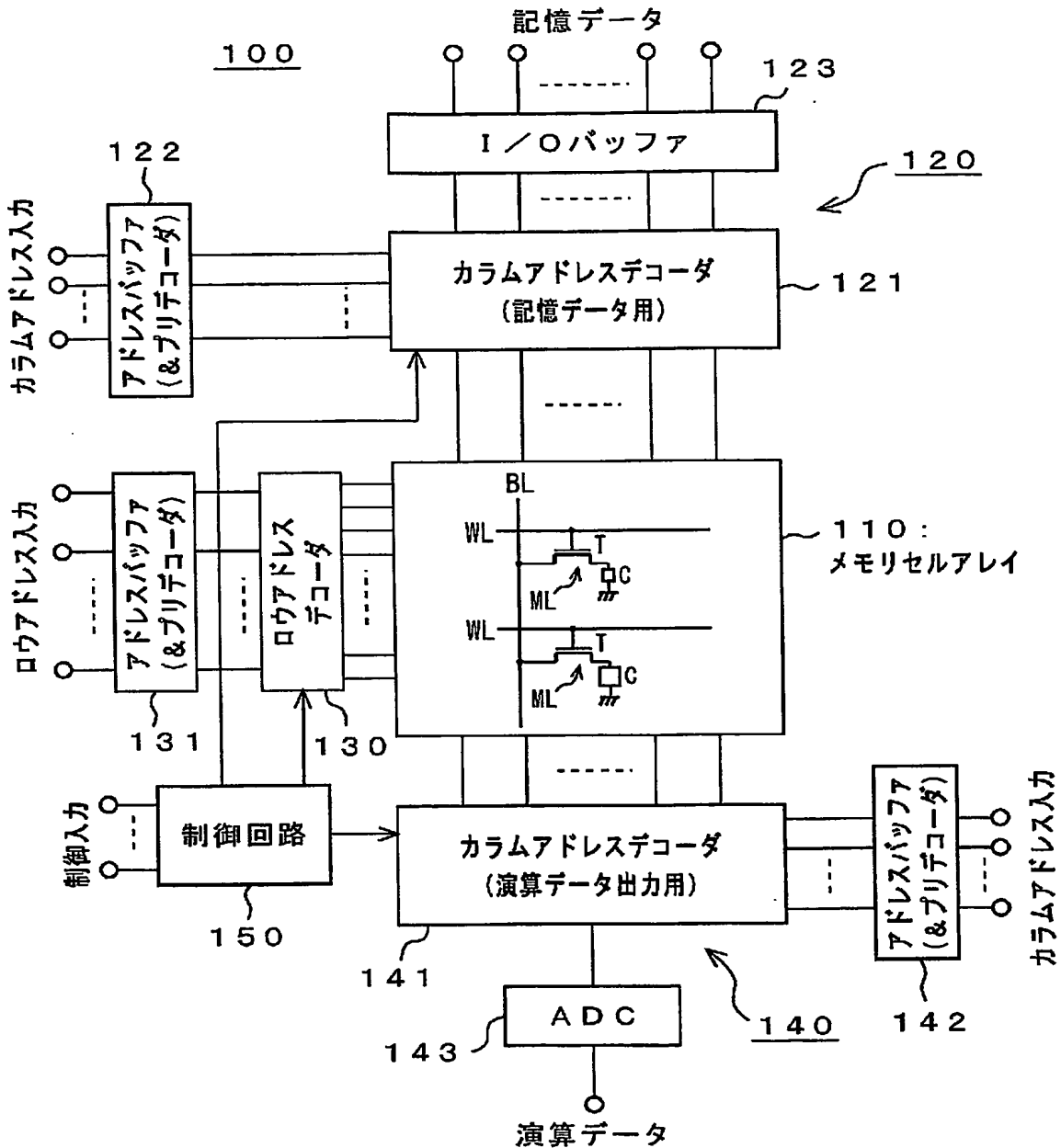
100・・・メモリブロック、110・・・メモリセルアレイ、120・・・記憶データ入出力用ポート、121・・・記憶データ用カラムアドレスデコーダ、122・・・アドレスバッファ、123・・・I/Oバッファ、130・・・ロウアドレスデコーダ、131・・・アドレスバッファ、140・・・演算データ出力用ポート、141・・・演算データ出力用カラムアドレスデコーダ、142・・・アドレスバッファ、143・・・A/Dコンバータ、150・・・制御回路

【書類名】

図面

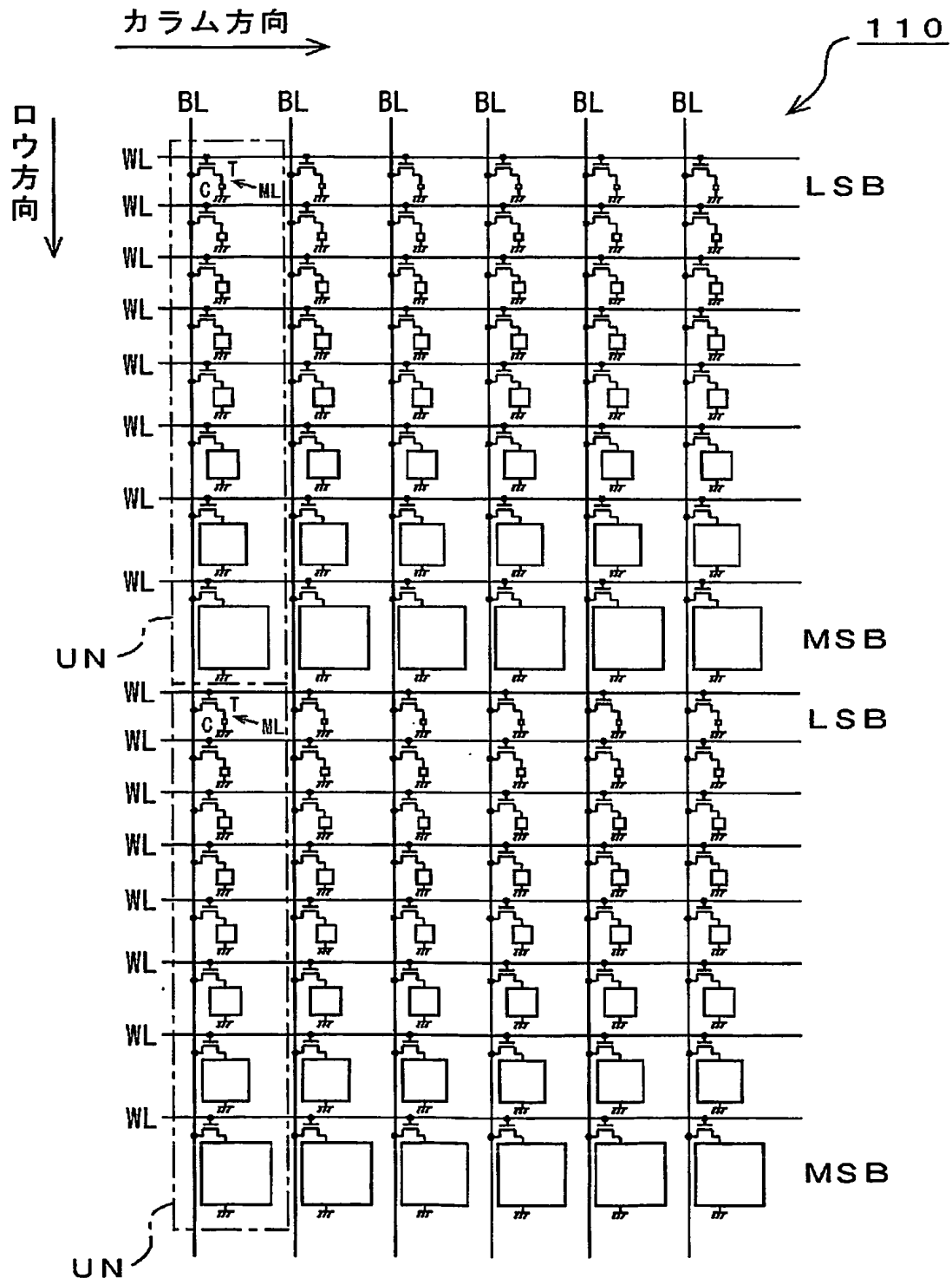
【図 1】

メモリブロックの構成



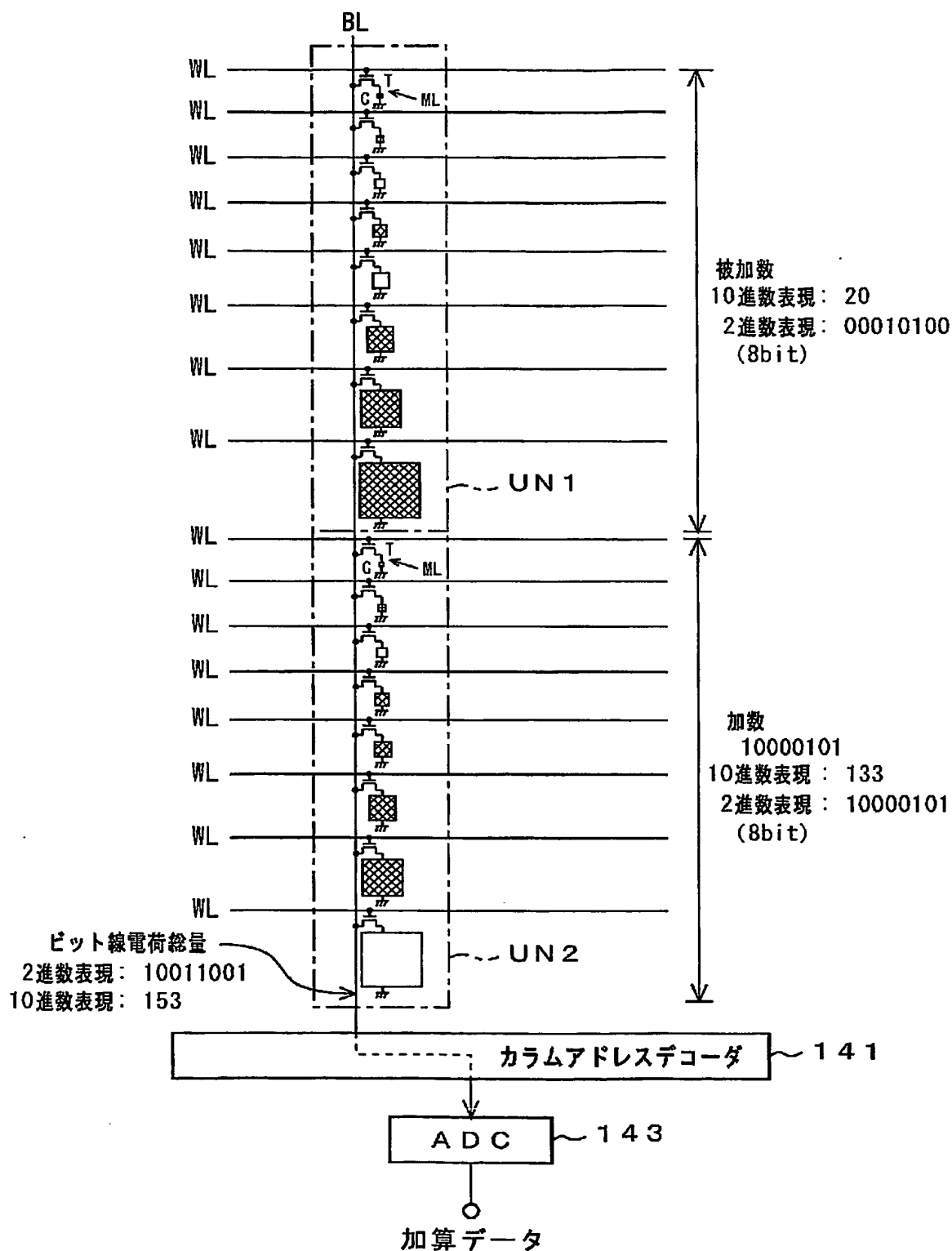
【図 2】

メモリセルアレイの一部



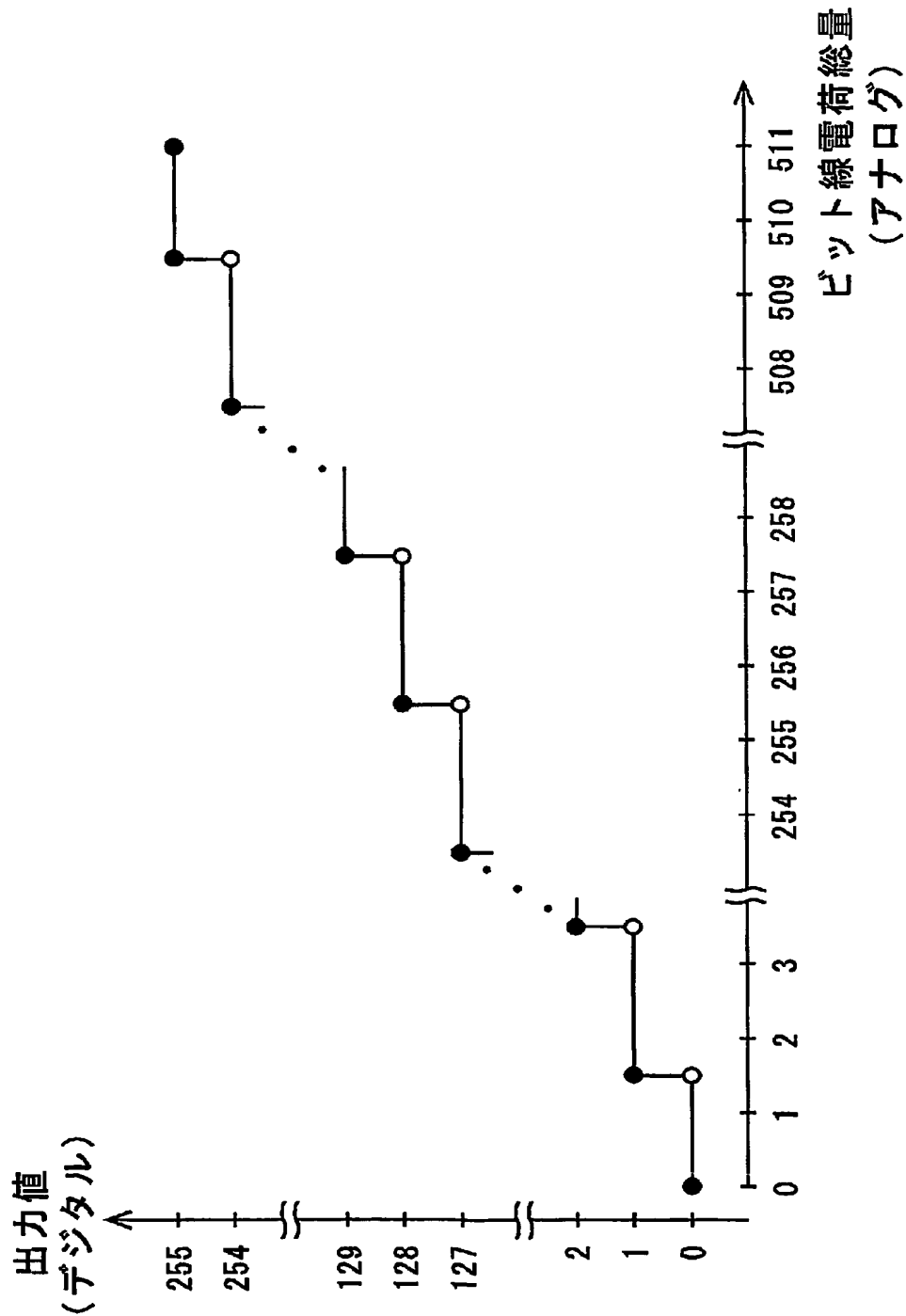
【図 3】

加算演算の具体例



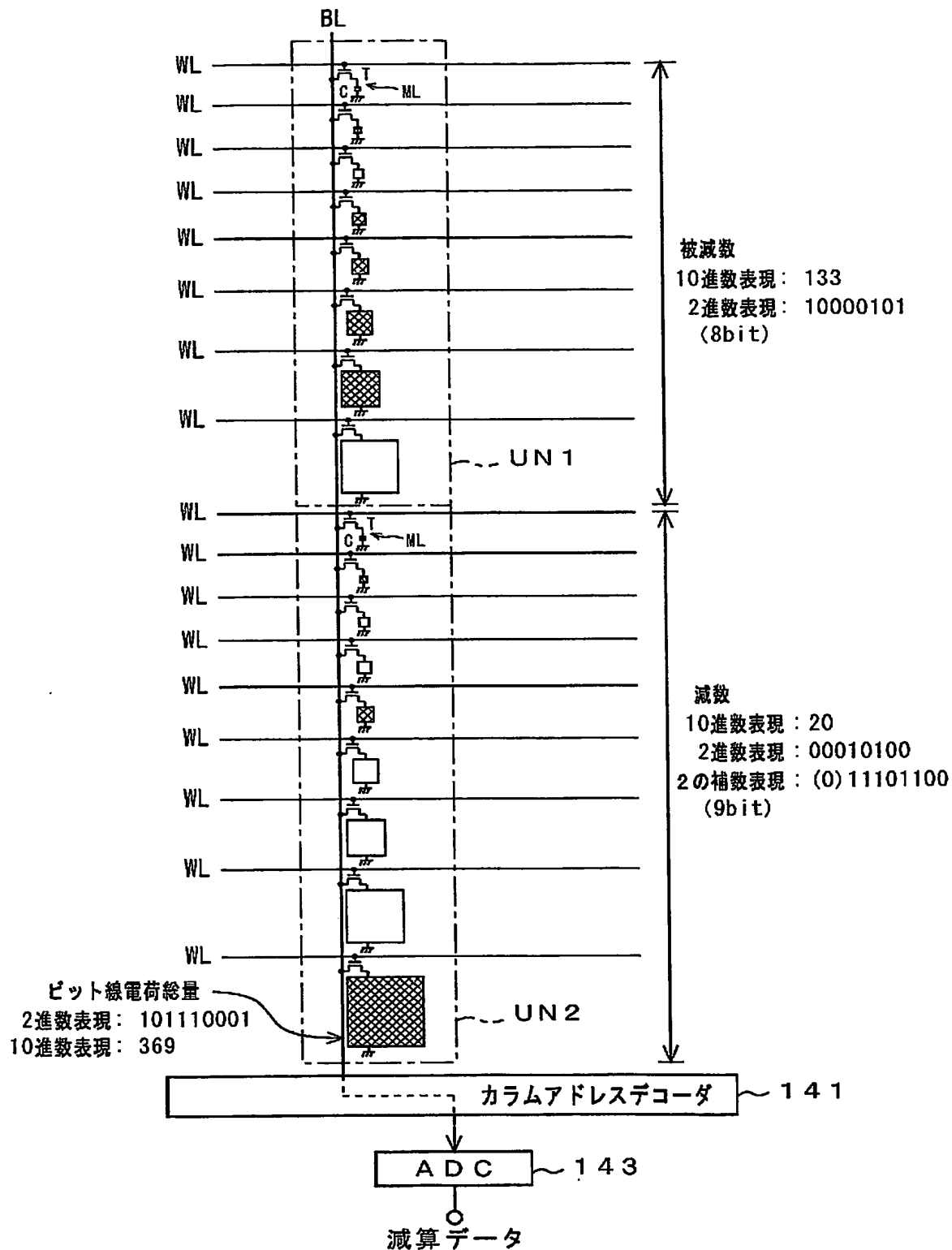
【図 4】

ビット線電荷総量と出力値との関係 (加算の場合)



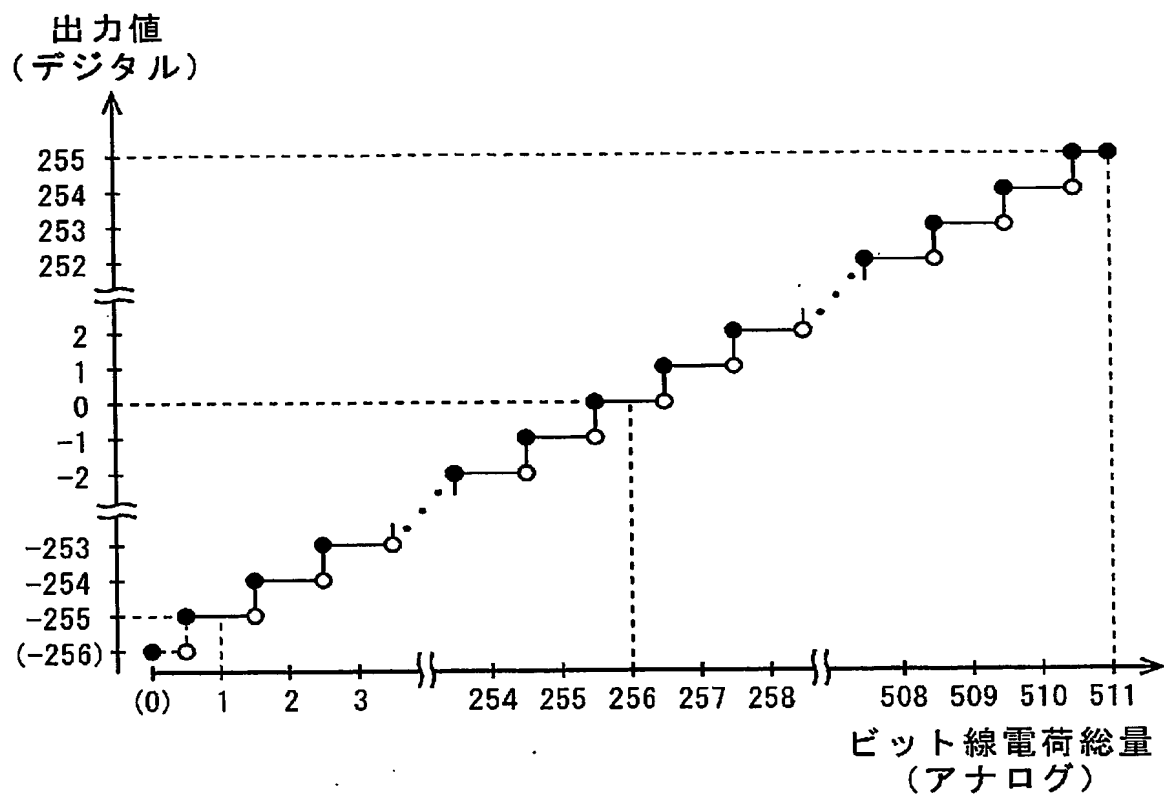
【図 5】

減算演算の具体例



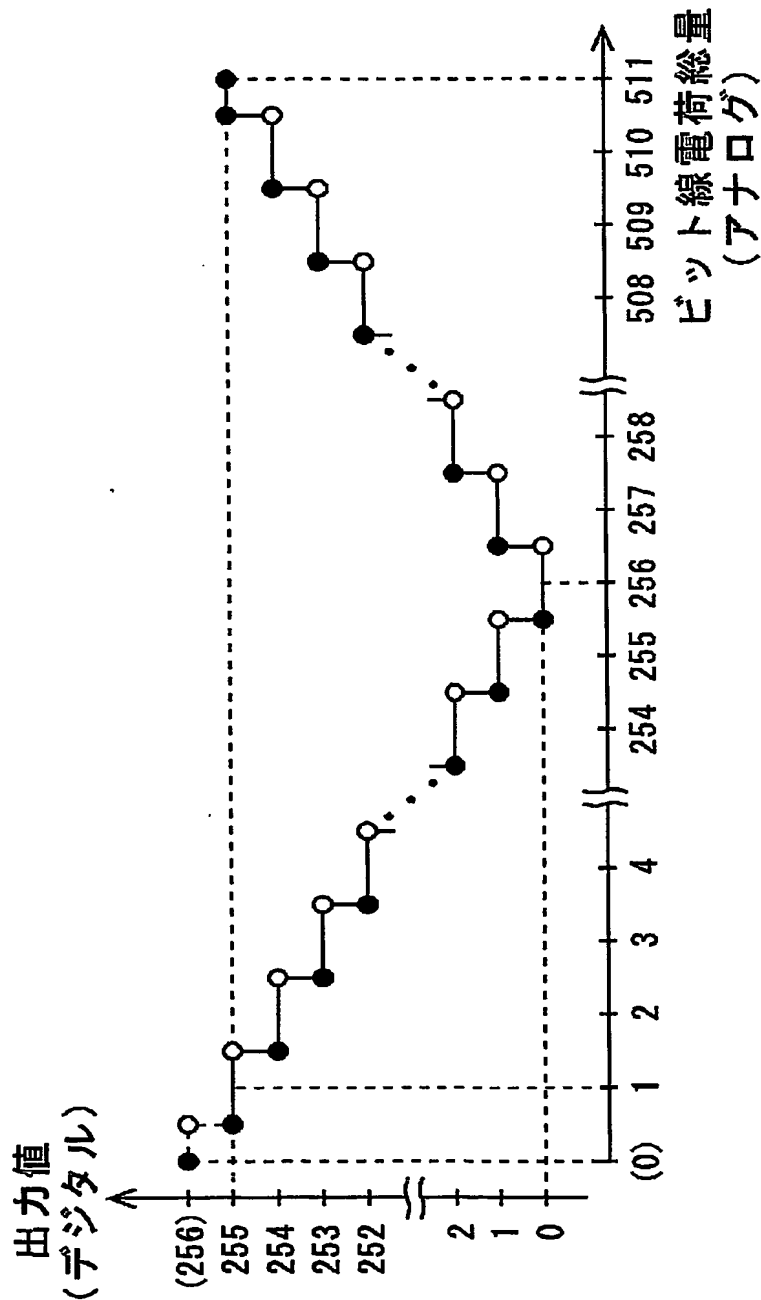
【図 6】

ビット線電荷総量と出力値との関係 (減算の場合、絶対値変換なし)



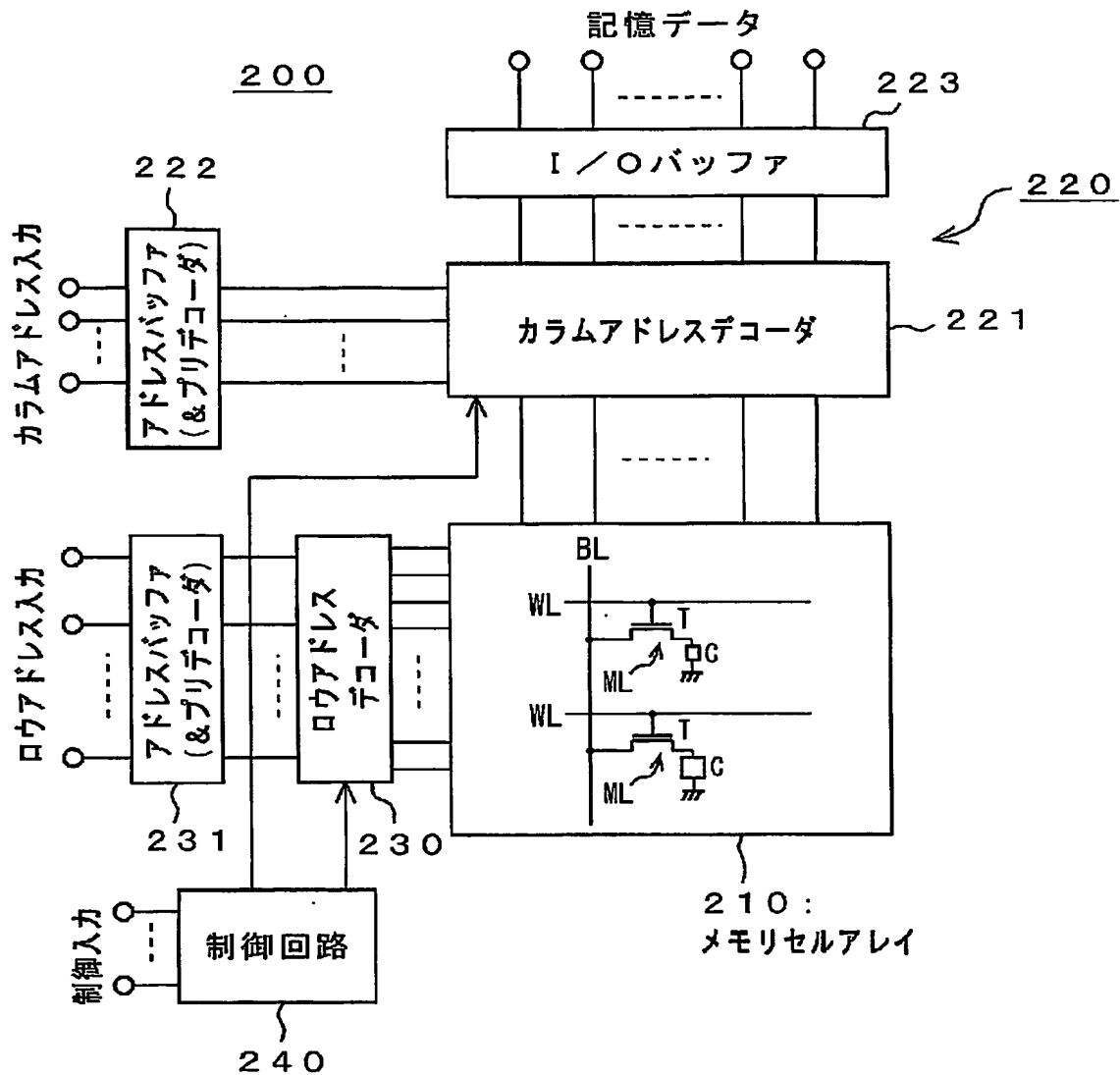
【図 7】

ビット線電荷総量と出力値との関係 (減算の場合、絶対値変換あり)



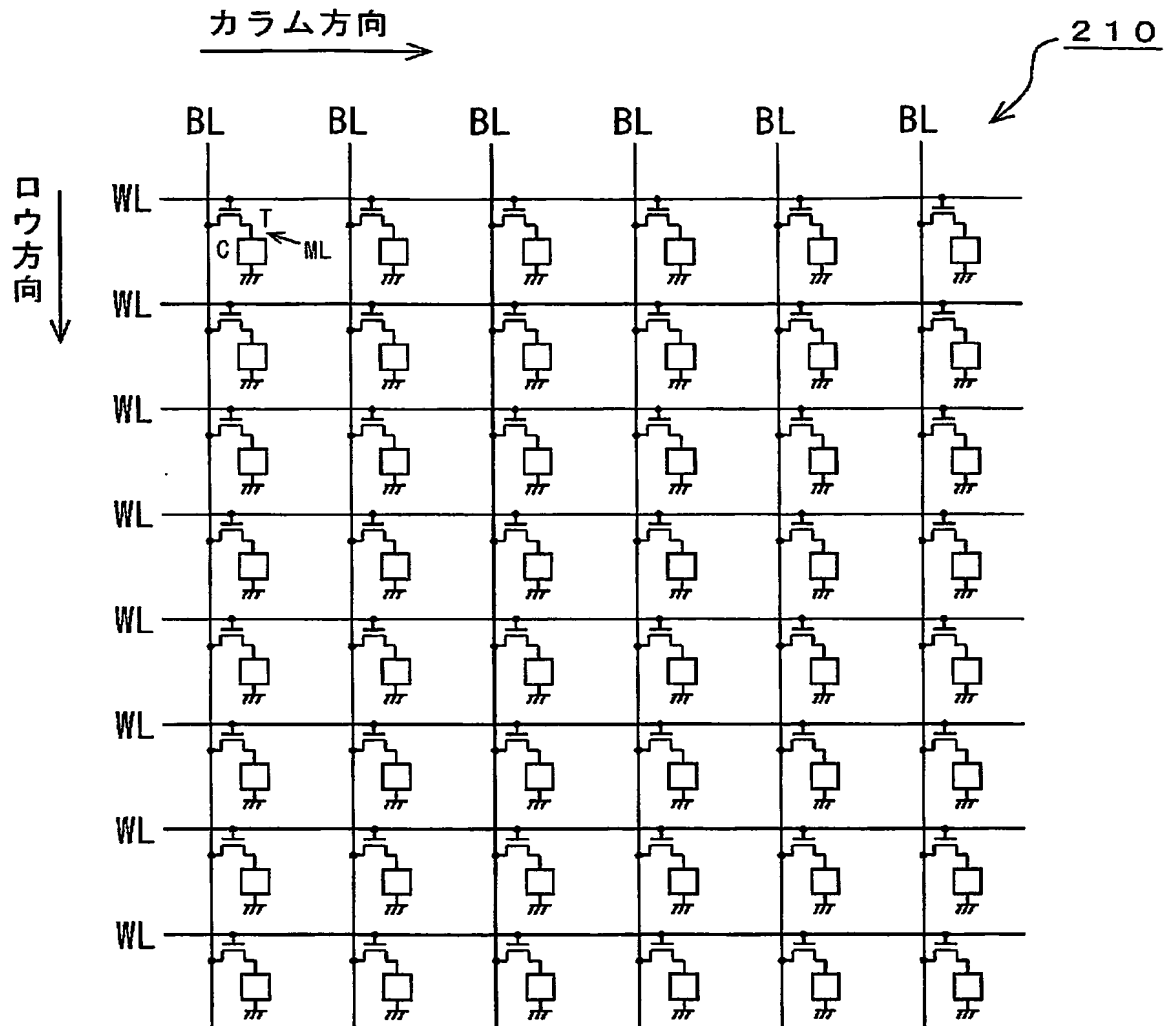
【図 8】

メモリブロックの構成



【図 9】

メモリセルアレイの一部



【書類名】 要約書

【要約】

【課題】 データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図る。

【解決手段】 メモリセルアレイ 110 の各ユニット UN の 8 個のメモリセル ML に、予め、それぞれ 8 ビットのデータの各ビットを記憶する。8 個のメモリセル ML のキャパシタ C は、8 ビットのデータの各ビットの重みに対応した容量をもっている。2 つ以上のユニット UN、つまり 2 つ以上のデータに係る複数のワード線 WL を同時に活性化する。これにより、各ビット線 BL 上で、それぞれ、活性化された 2 つ以上のデータに係る複数のワード線 WL に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷が結合される。このビット線 BL 上に得られた電荷総量に対応した値の電圧信号を A/D コンバータでデジタル信号に変換する。このデジタル信号は、2 つ以上のユニット UN に記憶されたデータの加算結果に対応したものとなる。

【選択図】 図 2

特願 2002-300902

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社